



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0079217  
Application Number

출원 년 월 일 : 2002년 12월 12일  
Date of Application DEC 12, 2002

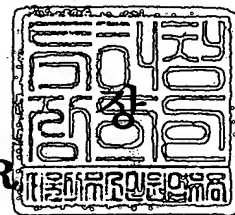
출원인 : 삼성전기주식회사  
Applicant(s) SAMSUNG ELECTRO-MECHANICS CO., LTD.



2003 년 05 월 02 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2002.12.12
【발명의 명칭】	도금 인입선을 사용하지 않는 패키지 기판 및 그 제조 방법
【발명의 영문명칭】	A package substrate for electrolytic leadless plating, and its manufacturing method
【출원인】	
【명칭】	삼성전기주식회사
【출원인코드】	1-1998-001806-4
【대리인】	
【명칭】	청운특허법인
【대리인코드】	9-2002-100001-8
【지정된변리사】	이철 , 이인실, 엄승윤, 최재승, 신한철
【포괄위임등록번호】	2002-065077-1
【발명자】	
【성명의 국문표기】	신영환
【성명의 영문표기】	SHIN, Young Hwan
【주민등록번호】	601104-1010418
【우편번호】	305-762
【주소】	대전광역시 유성구 전민동 엑스포아파트 510동 704호
【국적】	KR
【발명자】	
【성명의 국문표기】	김중호
【성명의 영문표기】	KIM, Chong Ho
【주민등록번호】	701110-1163320
【우편번호】	361-773
【주소】	충청북도 청주시 흥덕구 비하동 효성아파트 301동 1204호
【국적】	KR

**【발명자】****【성명의 국문표기】**

김태귀

**【성명의 영문표기】**

KIM,Tae Gui

**【주민등록번호】**

721128-1574518

**【우편번호】**

361-270

**【주소】**

충청북도 청주시 흥덕구 복대동 2978번지 203호

**【국적】**

KR

**【심사청구】**

청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
청운특허법인 (인)

**【수수료】****【기본출원료】**

20 면 29,000 원

**【가산출원료】**

18 면 18,000 원

**【우선권주장료】**

0 건 0 원

**【심사청구료】**

18 항 685,000 원

**【합계】**

732,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

본 발명은 볼 그리드 어레이(Ball Grid Array)를 구비하는 패키지 기판의 반도체칩이 실장되는 본드 핑거(bond finger)와 솔더볼 패드(solder ball pad)를 형성하기 위해서 수행되는 전해 금도금 공정이 도금 인입선 없이 도금되는 패키지 기판 및 그 제조 방법에 관한 것이다. 본 발명에 따른 도금 인입선 없이 도금되는 패키지 기판의 제조 방법은, i) 베이스 기판의 동도금된 비아홀 상부에 제1 드라이필름을 적층하고, 이를 현상하여 노출시키는 단계; ii) 제1 드라이필름이 적층된 부분 이외의 부분의 동박을 식각에 의해 제거하여 베이스 기판의 상부 및 하부에 회로를 형성하는 단계; iii) 제1 드라이필름을 박리하고, 베이스 기판 상의 모든 부위를 무전해 도금하는 단계; iv) 제2 드라이필름을 적층 및 현상하여 금도금될 부분을 노출시키는 단계; v) 금도금될 부분에 형성되어 있는 무전해 도금된 부분을 식각에 의해 제거하는 단계; vi) 금도금될 상부면과 하부면을 금도금하는 단계; vii) 제2 드라이필름을 박리하고, 잔존하는 무전해 도금된 부분을 식각에 의해 제거하는 단계; 및 viii) 솔더 레지스트를 도포하여 베이스 기판의 상부 및 하부 회로를 형성하는 단계를 포함하여 이루어진다.

## 【대표도】

도 5j

## 【색인어】

패키지 기판, 도금, 금도금, 동도금, 전해, 무전해, 본드 핑거, 솔더볼

## 【명세서】

## 【발명의 명칭】

도금 인입선을 사용하지 않는 패키지 기판 및 그 제조 방법 {A package substrate for electrolytic leadless plating, and its manufacturing method}

## 【도면의 간단한 설명】

도 1은 종래 기술에 따른 BGA 패키지 기판을 예시하는 도면이다.

도 2는 종래의 기술에 따른 도금 인입선에 의해 도금된 패키지 기판의 평면도이다.

도 3a 내지 도 3f는 종래의 기술에 따른 도금 인입선에 의해 도금되는 패키지 기판의 제조 공정을 나타내는 도면들이다.

도 4는 본 발명에 따른 도금 인입선이 없이 도금된 패키지 기판의 평면도이다.

도 5a 내지 도 5j는 본 발명의 제1 실시예에 따른 도금 인입선이 없이 도금되는 패키지 기판의 제조 공정을 나타내는 도면들이다.

도 6a 내지 도 6j는 본 발명의 제2 실시예에 따른 도금 인입선이 없이 도금되는 패키지 기판의 제조 공정을 나타내는 도면들이다.

도 7a 및 도 7b는 종래 기술 및 본 발명에 따른 회로의 밀집도를 예시하는 도면들이다.

도 8 및 도 9는 각각 종래 기술 및 본 발명을 적용한 것을 예시하는 사진들이다.

도 10a 및 도 10b는 본 발명에 따른 패키지 기판 상부의 본드 핑거 및 하부의 솔더 볼 패드를 나타내는 사진들이다.

\* 도면부호의 간단한 설명 \*

- 21: CCL의 절연재      22: CCL의 동박
- 23: 제1 도금층      24: 비아홀
- 25: 제1 드라이필름      27: 무전해 화학 도금층
- 28: 제2 드라이필름      30: 금도금층
- 31: 솔더 레지스터

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16>      본 발명은 도금 인입선 없이 도금되는 패키지 기판 및 그 제조 방법에 관한 것으로, 보다 구체적으로, 볼 그리드 어레이(Ball Grid Array, 이하 'BGA'이라고 함) 및 CSP(Chip Scale Package) 등의 패키지 기판(Package Substrate)의 전해 금도금에 있어서, 패키지 기판의 반도체칩이 실장되는 본드 핑거(bond finger)와 솔더볼 패드(solder ball pad) 형성을 위한 전해 금도금 공정이 도금 인입선 없이 이루어지는 패키지 기판 및 그 제조 방법에 관한 것이다.

<17>      최근 집적회로가 경박단소화됨에도 불구하고 집적회로 패키지에서 나오는 리드(lead)수는 오히려 증가되고 있다. 소형 패키지용 캐리어 상에 많은 리드를 설치하는 문제를 해결하는 방법 중 하나가 핀그리드 어레이(Pin Grid Array; PGA)로 이루어진 캐리어를 갖도록 하는 것이다. 그러나, PGA 캐리어는 소형 캐리어상의 많은 리드를 설치할 수는 있지만 핀 또는 리드가 취약하여 쉽게 부러지거나 혹은 고밀도 집적에 한계가 있다.

- <18> 이러한 PGA에 따른 결점을 보완하기 위해 최근 BGA 패키지 기판의 사용이 일반화되고 있는데, 이와 같은 BGA 패키지 기판이 사용되는 것은 핀(pin)보다 미세한 솔더볼(solder ball)을 사용함으로써 기판의 고밀도화가 용이하기 때문이며, 대개 반도체칩을 실장하는 패키지 기판으로서 사용되고 있다.
- <19> 이와 같은 종래의 BGA 패키지 기판을 간략하게 설명하면, 도 1에서 도시한 바와 같이, 종래 핀(pin) 대신 솔더볼(solder ball)(8)이 형성되는 구조를 갖는다. 즉 동박 적층판(이하, 'CCL'(Copper Clad Laminate) 이라고 함)(4)에 통상의 사진식각 공정을 통하여 내층회로를 형성시키고, 다수 CCL(4)을 가압하여 적층시키며, 내층회로를 도통시키기 위한 비아홀(2)을 가공하여 동도금(3) 작업으로 비아홀(2)을 도통시키며, 상기 적층된 외층 CCL(4)에 반도체칩이 접속되는 본드 핑거(bond finger)(1)를 갖는 외층회로(6)를 사진식각 공정을 통하여 형성시키며, 상기 외층회로(6)와 함께, 솔더볼 패드(7)를 형성시키며, 다음 솔더볼(8) 접속 및 솔더마스크(solder mask)(5)를 형성시키는 것이다.
- <20> 이때, 상기 반도체칩이 접속되는 본드 핑거(1)와 솔더볼(8)이 접속되는 패드(7)의 전기적인 접속상태를 향상시키기 위하여 도금작업을 수행토록 금도금 인입선(Plating Lead Line)을 형성시키는데, 각 솔더볼(8)이 접속되는 패드(7)에 개별적인 각각의 금도금 인입선을 연결시키고 동시에, 도면에는 도시하지 않았지만, 상기 패드(7)와 접속되고 비아홀(2)을 통하여 본드 핑거(1)에 연결시킨다. 도 2는 종래의 기술에 따른 도금 인입선에 의해 도금된 패키지 기판의 평면도로서, 솔더볼 패드(8)에 도금 인입선(9)이 형성되어 있는 것을 도시하고 있다. 여기서, 도금 인입선(9)이 형성되는 부분은 도 1의 A로 표시되는 부분이다. 실질적으로, 이러한 도금 인입선에 의해 회로의 고밀도화가 제한을 받게 된다.

- <21> 한편, 상기 외층회로(6)가 구성된 CCL(4)에는 I/C 칩이 실장되어 도선으로서 상기 외층회로(6)와 연결되고, 그 상층으로 충진재가 도포되어 외부 환경으로부터 보호되며, 따라서 BGA 패키지 기판(10)의 경우에는 PGA 기판과 달리 핀에 의해 주회로 기판과 연결되는 것이 아니라 CCL(4)의 패드(7)에 솔더볼(8)이 형성되어 주회로 기판과 도통되며, 이런 이유로 BGA는 PGA보다 소형화가 용이하고, 결국 기판(10)의 고밀도화가 가능해진다.
- <22> 그러나, 이와 같은 종래의 패키지 기판(10)에 있어서는, 현재 회로의 고밀도화 및 이를 사용하는 장치의 소형화로 상기 BGA 패키지 기판의 솔더볼(solder ball)(8) 피치(pitch)(솔더볼간의 간격)가 극히 미세하게 되고, 동시에 반도체칩이 실장되는 본드 핑거(1) 주변의 회로 고밀도화로 본드 핑거(1)와 패드(7)의 금도금 작업을 수행하기 위한 금도금 인입선의 고밀도화가 어렵게 되는 문제가 제기되고 있는 것이다.
- <23> 이하, 도 3a 내지 도 3f를 참조하여 종래 기술에 따라 도금 인입선에 의해 금도금되는 패키지 기판의 제조 방법에 대해 설명한다.
- <24> 먼저, 패키지 기판 제품에 회로를 형성하기 위해 베이스 기판인 CCL에 드라이필름(15)을 코팅, 노광 및 현상하여 회로를 형성(Patterning)한다(도 3a 참조). 여기서, 상기 CCL(11+12)은 절연재(11) 및 이 절연재(11)의 상부 및 하부면에 형성된 동박(12)을 포함한다. 실질적으로는, 상기 CCL에 기계적 드릴을 사용하여 다수의 비아홀(13)을 형성한 후에 동도금(14)을 실시하며, 이후 상기 드라이필름(15)을 코팅, 노광, 현상에 의해 회로를 형성하게 된다.
- <25> 다음에, 상기 드라이필름(15)을 식각 레지스트로 하여 노출된 동을 식각액으로 제거하여 회로를 형성한다(Pattern Etching). 이때 향후의 금도금이 진행될 시에 사용되



는 도금 인입선이 동일 방법으로 동시에 형성된다. 여기서 도면부호 16은 노출된 동이 식각된 부위를 나타낸다(도 3b 참조).

<26> 다음에, 상기와 같은 식각 후에 식각 레지스트로 사용한 드라이 필름(15)을 박리액을 사용하여 제거한다(도 3c 참조).

<27> 다음에, 솔더 레지스트(LPSR)(17)를 도포하고, 이를 노광 및 현상시킨 후에, 이를 건조시킨다(도 3d 참조).

<28> 다음에, 기형성된 도금 인입선을 통해 전류를 인가하면서, 상기 도금 인입선 통해 와이어 본딩 패드와 솔더볼 패드에 금도금(18)을 한다. 이때의 도금은 전해 금도금(Ni-Au Plating)으로서, 도금되는 금의 두께는 통상적으로  $0.5 \sim 1.0 \mu\text{m}$  정도이다(도 3e 참조).

<29> 구체적으로, 반도체칩 등이 실장되는 패키지 기판을 표면 처리(Metal Finishing)하기 위해서 전해 금도금(Electrolytic Au Plating)이 주로 적용되고 있다. 그 이유는 신뢰성(Reliability)적인 측면에서 전해 금도금이 무전해 금도금(Electroless Au Plating)에 비해 우수하기 때문이다. 하지만, 전해 금도금을 하기 위해서는 전술한 바와 같이 도금 인입선을 제품에 삽입하여 설계해야 하므로 회로 밀집도(Line Density)가 떨어져 고밀집도의 회로 제품 제조시에는 문제가 되고 있다.

<30> 이후, 라우터(Router)나 다이싱(Dicing)을 사용하여 상기 도금 인입선을 절단하게 된다(도 3f 참조). 여기서, 도면부호 19는 다이싱이 진행되는 부분이다. 즉, 상기 전해 금도금 완료 후에 라우터나 다이싱으로 도금 인입선을 절단하게 되는데, 이때 도금

인입선이 패키지 기판에 잔류하게 되어 전기신호 전달시 노이즈(Noise)를 유발하게 되어 제품의 전기적 특성(Electrical Performance)을 저하시키는 문제를 갖고 있다.

**【발명이 이루고자 하는 기술적 과제】**

<31>       상기 문제점을 해결하기 위한 본 발명의 목적은 패키지 기판 제품의 회로배선 밀집도를 향상시킬 수 있도록 도금 인입선을 사용하지 않는 패키지 기판 및 그 제조 방법을 제공하기 위한 것이다.

<32>       또한 본 발명의 다른 목적은 정상적인 전해 금도금을 진행한 후 모든 도금 인입선이 제거되어 노이즈 발생을 억제할 수 있는 패키지 기판 및 그 제조 방법을 제공하기 위한 것이다.

**【발명의 구성 및 작용】**

<33>       상기 목적을 달성하기 위한 수단으로서, 본 발명에 따른 도금 인입선 없이 도금되는 패키지 기판의 제조 방법은, i) 베이스 기판의 동도금된 비아홀 상부에 제1 드라이필름을 적층하고, 이를 현상하여 노출시키는 단계; ii) 상기 제1 드라이필름이 적층된 부분 이외의 부분의 동박을 식각에 의해 제거하여 상기 베이스 기판의 상부 및 하부에 회로를 형성하는 단계; iii) 상기 제1 드라이필름을 박리하고, 상기 베이스 기판 상의 모든 부위를 무전해 도금하는 단계; iv) 제2 드라이필름을 적층 및 현상하여 금도금될 부분을 노출시키는 단계; v) 상기 금도금될 부분에 형성되어 있는 상기 무전해 도금된 부분을 식각에 의해 제거하는 단계; vi) 상기 금도금될 상부면과 하부면을 금도금하는 단계; vii) 상기 제2 드라이필름을 박리하고, 잔존하는 무전해 도금된 부분을 식각에 의해

제거하는 단계; 및 viii) 솔더 레지스트를 도포하여 상기 베이스 기판의 상부 및 하부 회로를 형성하는 단계를 포함하여 이루어지는 특징이 있다.

<34> 여기서, 상기 제1 및 제2 드라이필름은 식각 레지스트(etching resist)로 사용된 것을 특징으로 한다.

<35> 여기서, 상기 무전해 도금은 상기 식각 이후 상기 상부 및 하부 회로의 버스라인(bus line)이 완전 제거된 상태에 도체를 화학 도금(chemical plating)해주는 것을 특징으로 하며, 상기 도체는  $0.5 \sim 1.0 \mu\text{m}$ 의 동(Cu)인 것이 바람직하다.

<36> 여기서, 상기 식각은 플래시(flash) 식각일 수 있다.

<37> 또한, 상기 무전해 도금에 의해 형성된 도체가 상기 금도금될 부분의 전해 도금 시에 전류를 흘려주는 도금 인입선 역할을 하는 것을 특징으로 한다.

<38> 또한, 상기 금도금될 상부면은 본드 핑거(bond finger)이며, 상기 금도금될 하부면은 솔더볼 패드(solder ball pad)일 수 있다.

<39> 한편, 본 발명에 따른 도금 인입선 없이 패키지 기판을 전해 금도금하는 방법은,  
i) 베이스 기판의 동도금된 비아홀 상부에 제1 드라이필름을 적층하고, 이를 현상하여 노출시키는 단계; ii) 상기 제1 드라이필름이 적층된 부분 이외의 부분의 동박을 식각에 의해 제거하여 상기 베이스 기판의 상부 및 하부에 회로를 형성하는 단계; iii) 상기 제1 드라이필름을 박리하고, 상기 베이스 기판 상의 모든 부위를 무전해 도금하는 단계; iv) 제2 드라이필름을 적층 및 현상하여 금도금될 부분을 노출시키는 단계; v) 상기 금도금될 부분에 형성되어 있는 상기 무전해 도금된 부분을 식각에 의해 제거하는 단계; 및

vi) 상기 금도금될 상부면과 하부면을 금도금하는 단계를 포함하여 이루어지는 특징이 있다.

<40> 여기서, 상기 무전해 도금은 상기 식각 이후 상기 상부 및 하부 회로의 버스라인(bus line)이 완전 제거된 상태에 도체를 화학 도금(chemical plating)해주는 것을 특징으로 하며, 상기 도체는  $0.5 \sim 1\mu\text{m}$ 의 동(Cu)인 것이 바람직하다.

<41> 또한, 상기 무전해 도금에 의해 형성된 도체가 상기 금도금될 부분의 전해 도금 시에 전류를 흘려주는 도금 인입선 역할을 하는 것을 특징으로 한다.

<42> 한편, 상기 목적을 달성하기 위한 다른 수단으로서, 본 발명에 따른 도금 인입선 없이 패키지 기판을 전해 금도금하는 방법은, i) 베이스 기판의 동도금된 비아홀 상부에 제1 드라이필름을 적층하고, 이를 현상하여 노출시키는 단계; ii) 상기 제1 드라이필름이 적층된 부분 이외의 부분의 동박을 식각에 의해 제거하여 상기 베이스 기판의 상부 및 하부에 회로를 형성하는 단계; iii) 상기 제1 드라이필름을 박리하고, 상기 베이스 기판 상의 모든 부위를 무전해 도금하는 단계; iv) 제2 드라이필름을 상부면에 적층 및 현상하여, 상기 비아홀 상부를 텐팅(tenting)하는 단계; v) 상기 금도금될 부분에 형성되어 있는 상기 무전해 도금된 부분을 식각에 의해 제거하는 단계; vi) 금도금될 부위를 노출시키기 위해 제3 드라이필름을 적층하고 이를 현상하고, 금도금을 진행하는 단계; vii) 상기 하부면의 제1 드라이필름 및 상부면의 제2 드라이필름을 박리하고, 상기 무전해 도금된 부분을 식각에 의해 제거하는 단계; viii) 상기 상부 면 및 하부면의 소정 부위에 솔더 레지스트를 도포하여 현상하는 단계; 및 ix) 상기 하부면에 OSP(Organic Solderability Preservative)를 사용하여 표면 처리하는 단계를 포함하여 이루어진다.

- <43> 한편, 상기 목적을 달성하기 위한 수단으로서, 본 발명에 따른 도금 인입선 없이 전해 금도금된 패키지 기판은, a) 다수의 비아홀이 형성되어 있는 베이스 기판; b) 상기 베이스 기판 상의 소정 부분과 상기 비아홀 내에 동도금되어 있는 제1 도금층; c) 상기 제1 도금층 중 일부를 식각에 의해 제거하여 상기 베이스 기판의 상부 및 하부에 형성되어 있는 회로 패턴; d) 상기 베이스 기판 상의 소정 부위에 무전해 도금되어 있는 제2 도금층; e) 상기 제2 도금층의 일부가 식각에 의해 제거된 부위에 형성된 금도금층; 및 f) 상기 금도금층을 제외한 소정 부위에 도포되는 솔더 레지스트를 포함하여 구성된다.
- <44> 여기서, 상기 제2 도금층은 상기 상부 및 하부 회로 패턴의 버스라인(bus line)이 완전 제거된 상태에 무전해 화학 도금(chemical plating)으로 도체가 형성된 것을 특징으로 한다.
- <45> 또한, 상기 제2 도금층은 상기 금도금층의 전해 도금 시에 전류를 흘려주는 도금 인입선 역할을 하는 것을 특징으로 한다.
- <46> 결국, 본 발명에 따르면, 상부 및 하부 회로의 버스라인(bus line)이 완전 제거된 상태에 도체를 무전해 화학 도금해주고, 무전해 도금에 의해 형성된 도체가 상기 금도금될 부분의 전해 도금 시에 전류를 흘려주는 도금 인입선 역할을 함으로써, 도금 인입선을 사용하지 않는 패키지 기판을 제조할 수 있으므로 패키지 기판 제품의 회로배선 밀집도를 향상시킬 수 있고, 또한 도금 인입선이 제거되어 노이즈의 발생을 억제할 수 있다.
- <47> 이하, 첨부한 도면을 참조하여, 본 발명의 실시예에 따른 도금 인입선 없이 도금되는 패키지 기판 및 그 제조 방법에 대해 구체적으로 설명한다.

<48>      제1 실시예

<49>      도 5a 내지 도 5j는 본 발명의 제1 실시예에 따른 도금 인입선이 없이 도금되는 패키지 기판의 제조 공정을 나타내는 도면들로서, 본 발명에 따른 도금 인입선 없이 도금되는 패키지 기판 및 그 제조 방법은 다음과 같다.

<50>      먼저, 베이스 기판인 CCL의 동도금(23)된 비아홀(24) 상부에 제1 드라이필름(25)을 적층하고, 이를 현상하여 노출시키게 된다(도 5a 참조).

<51>      구체적으로, 패키지 기판은 다수의 CCL(21+22)이 적층되는 다층 기판으로 구성되는데, 상기 CCL(21+22)은 에폭시로 된 기판에 도전성 접착제로서 동박이 일체로 접합되어 보통 동박 적층판이라 하며, 도면부호 21은 절연재이며, 도면부호 22는 상기 절연재(21)의 상부 및 하부에 적층된 동박이다. 상기 CCL(21+22)에는 필름 식각 공정을 통하여 내층회로를 형성하고, 이때 상기 내층회로는 대개 접지 패턴 또는 신호처리 패턴으로 구성된다. 상기 비아홀(24)은 회로를 전기적으로 통하도록 형성되며, 비아홀(24)이 형성되면, 회로를 전기적으로 연결하기 위해 동도금 작업을 통하여 비아홀(24)의 내부를 도통시키는 제1 도금층(23)을 형성하며, 이때 상기 회로는 반도체칩이 접속되는 본드 핑거를 포함한다.

<52>      이후, 상기 제1 드라이필름(25)이 적층된 부분 이외의 부분의 동박을 식각에 의해 제거하여 상기 베이스 기판의 상부 및 하부에 회로를 형성하게 된다(도 5b 참조). 여기서 도면부호 26은 상기 동박이 제거된 상태를 나타내고 있다.

- <53>        상기 제1 드라이필름(25) 식각 공정은 크게 동박 위에 식각 레지스트로 사용되는 제1 드라이필름을 도포하는 필름 접합 작업 후에, 상기 식각 레지스트의 일부 영역을 블로킹한 상태에서 광을 조사하여 경화하고, 이후 상기 식각 레지스트에 현상액을 작용하여 미경화된 식각 레지스트를 제거하는 현상 작업이 수행되면, 첨가제를 작용하여 식각 레지스트가 제거된 영역의 동박을 식각하는 박리작업으로 이루어진다.
- <54>        다음에, 상기 제1 드라이필름(25)을 박리하고(도 5c 참조), 이후 상기 베이스 기판(21+22) 상의 모든 부위를 무전해 도금하여 제2 도금층(27)을 형성하게 된다(도 5d 참조).
- <55>        상기 무전해 도금은 상기 식각 이후 상기 상부 및 하부 회로의 버스라인(bus line)이 완전 제거된 상태에 도체를 화학 도금(chemical plating)해주는 것을 말하며, 상기 도체는  $0.5 \sim 1.0 \mu\text{m}$ 의 동(Cu)일 수 있다. 상기 무전해 화학 도금에 의해 형성된 도체가 이후 금도금될 부분의 전해 도금 시에 전류를 흘려주는 도금 인입선 역할을 하게 된다.
- <56>        다음에, 제2 드라이필름(28)을 적층 및 현상하여 금도금될 부분을 노출시키게 된다(도 5e 참조).
- <57>        다음에, 상기 금도금될 부분에 형성되어 있는 상기 무전해 도금된 부분을 플래시(flash) 식각에 의해 제거하게 된다(도 5f 참조). 여기서, 도면부호 29는 상기 무전해 도금된 부분이 식각에 의해 제거된 상태를 나타내고 있다.
- <58>        다음에, 상기 금도금될 상부면과 하부면을 금도금하여 금도금층(30)을 형성하게 된다(도 5g 참조). 여기서, 상기 금도금될 상부면은 본드 핑거이며, 상기 금도금될 하부면은 솔더볼 패드일 수 있다.

<59> 다음에, 상기 제2 드라이필름(28)을 박리하고(도 5h 참조), 잔존하는 무전해 도금된 부분을 식각에 의해 제거하게 된다(도 5i 참조). 이때의 식각도 전술한 바와 같은 플래시 식각이 사용된다. 즉, 상기 무전해 도금된 제2 도금층(27)은 상기 도금층(30)을 전해 도금하기 위한 도금 인입선으로 사용된 후 모두 식각에 의해 제거되게 된다.

<60> 마지막으로, 솔더 레지스트(31)를 도포하여 상기 베이스 기판의 상부 및 하부 회로를 형성하게 된다(도 5j 참조).

## <61> 제2 실시예

<62> 도 6a 내지 도 6j는 본 발명의 제2 실시예에 따른 도금 인입선이 없이 도금되는 패키지 기판의 제조 공정을 나타내는 도면들이다.

<63> 먼저, 다수의 CCL(41+42)이 적층되는 베이스 기판의 동도금(43)된 비아홀(44) 상부에 제1 드라이필름(45)을 적층하고, 이를 현상하여 노출시키게 된다(도 6a 참조). 도면부호 41은 절연재이며, 도면부호 42는 상기 절연재(41)의 상부 및 하부에 적층된 동박이다.

<64> 상기 비아홀(44)은 회로를 전기적으로 통하도록 형성되며, 비아홀(44)이 형성되면, 회로를 전기적으로 연결하기 위해 동도금 작업을 통하여 비아홀(44)의 내부를 도통시키는 제1 도금층(43)을 형성하며, 이때 상기 회로는 반도체칩이 접속되는 본드 핑거를 포함한다.



- <65> 이후, 상기 제1 드라이필름(45)이 적층된 부분 이외의 부분의 동박을 식각에 의해 제거하여 상기 베이스 기판의 상부 및 하부에 회로를 형성하게 된다(도 6b 참조). 여기서 도면부호 46은 상기 동박이 제거된 상태를 나타내고 있다.
- <66> 상기 제1 드라이필름(45) 식각 공정은 크게 동박 위에 식각 레지스트로 사용되는 제1 드라이필름을 도포하는 필름 접합 작업 후에, 상기 식각 레지스트의 일부 영역을 블로킹한 상태에서 광을 조사하여 경화하고, 이후 상기 식각 레지스트에 현상액을 작용하여 미경화된 식각 레지스트를 제거하는 현상 작업이 수행되면, 첨가제를 작용하여 식각 레지스트가 제거된 영역의 동박을 식각하는 박리작업으로 이루어진다.
- <67> 다음에, 상기 제1 드라이필름(45)을 박리하고, 식각 레지스트를 적용하여 상부 및 하부의 회로 패턴을 형성한다(도 6c 참조), 이후 상기 베이스 기판(41+42) 상의 모든 부위를 무전해 도금하여 제2 도금층(47)을 형성하게 된다(도 6d 참조).
- <68> 상기 무전해 도금은 상기 식각 이후 상기 상부 및 하부 회로의 버스라인이 완전 제거된 상태에 도체를 화학 도금해주는 것을 말하며, 상기 도체는  $0.5\sim 1.0\mu\text{m}$ 의 동(Cu)일 수 있다. 이때, 상기 무전해 화학 도금에 의해 형성된 도체가 이후 금도금될 부분의 전해 도금 시에 전류를 흘려주는 도금 인입선 역할을 하게 된다.
- <69> 다음에, 제2 드라이필름(48a)을 상부면에 적층 및 현상한다(도 6e 참조). 즉, 플래시 식각을 적용하기 위해서 미리 상기 비아홀 부분을 텐팅(tenting)하게 된다.
- <70> 다음에, 상기 금도금될 부분에 형성되어 있는 상기 무전해 도금된 부분을 플래시 식각에 의해 제거하게 된다(도 6f 참조).

- <71> 다음에, 금도금될 부위를 노출시키기 위해 제3 드라이필름(48b)을 적층하고 이를 현상한 후, 금도금을 진행하게 된다. 이때, 금도금은 하부면을 통해 전류를 인가하고, 상기 금도금될 상부면을 금도금하여 금도금층(49)을 형성하게 된다(도 6g 참조). 여기서, 상기 금도금될 상부면은 본드 핑거일 수 있다.
- <72> 다음에, 하부면의 제1 드라이필름(48a) 및 상부면의 제2 드라이필름(48b)을 박리하고, 무전해 도금된 부분을 식각에 의해 제거하게 된다(도 6h 참조). 이때의 식각도 전술한 바와 같은 플래시 식각이 사용된다.
- <73> 이후, 상부 면 및 하부면의 소정 부위에 솔더 레지스트(50)를 도포하여 현상한다(도 6i 참조).
- <74> 마지막으로, 하부면에 OSP(Organic Solderability Preservative) 약품을 사용하여 표면처리(60)를 한다(도 6j 참조).
- <75> 따라서, 전술한 제2 실시예를 제1 실시예와 비교하면, 상부면의 비아홀을 텐팅하고, 하부면에서 전류를 인가하여 금도금층(49)을 형성한 후에, 도금인입선 역할을 하는 하부면의 노출된 동박에 OSP를 사용하여 표면처리를 하게 된다. 제2 실시예는 제1 실시예와 마찬가지로 도금 인입선을 외부에 형성하지 않고 도금을 진행할 수 있으므로 이후 도금 인입선 부위를 절단할 필요가 없다.
- <76> 한편, 도 4는 본 발명에 따른 도금 인입선이 없이 도금된 패키지 기판의 평면도로써, 본 발명에 따른 패키지 기판은 종래 기술에 따른 도 2의 패키지 기판과 비교하면, 솔더볼 패드(20)에 연결되는 도금 인입선이 사용되지 않은 것을 예시하고 있다.

<77> 도 7a 및 도 7b는 종래 기술 및 본 발명에 따른 회로의 밀집도를 예시하는 도면들이다. 도 7a에 도시된 바와 같이, 패키지 기판(71) 상에 형성된 솔더볼 패드(72a)는 각각의 솔더볼 패드 중심간의 볼 패드 피치가 A로 도시되며, 이때 도면부호 73은 도금 인입선을 나타내고 있다. 또한 도 7b에 도시된 바와 같이 본 발명에 따른 패키지 기판(71) 상에 형성된 솔더볼 패드(72b)는 각각의 솔더볼 패드 중심간의 볼 패드 피치가 B로 도시되는데, 상기 볼 패드 피치 A에 비해 약 0.1 내지 0.15mm가 줄어든 것을 도시하고 있다. 즉, 도 7a에 도시된 도금 인입선(73)이 제거되었기 때문에, 동일 면적의 패키지 기판 상에 보다 많은 솔더볼 패드를 형성할 수 있으므로 회로 밀집도가 향상된 것을 알 수 있다.

<78> 도 8 및 도 9는 각각 종래 기술 및 본 발명을 적용한 것을 예시하는 사진들로서, 도 8은 종래 기술에 따라 인입선 없이 하부면에 전해 Au/Ni를 적용하여 도금했을 경우를 나타내는 사진이며, 도 8은 본 발명에 따라 금도금했을 경우를 각각 예시하는 사진들이다.

<79> 도 8을 참조하면, 종래에는 패키지 기판의 하부 측에 전해 금도금 공정을 적용하면 도금 인입선이 있어야 하거나, 또는 알칼리 식각(Alkali Etching)을 통해 제작되어야 함에 따라 측벽(Side Wall)의 도면부호 52와 같은 동(Cu)이 노출되며, 특히 도면부호 53과 같이 니켈(Ni)이 성장하여 미세한 단락(micro short)이 발생할 수 있다.

<80> 다시 말하면, 전체 구리층(동박층 + 도금층)이 잔존하는 상태에서 드라이 필름을 노광하고, 상기 드라이 필름을 현상한 후, 전해 금도금을 진행하게 되는데, 이때 상기 드라이 필름이 현상되어 구리(Cu)가 노출된 부위에만 금도금이 진행된다. 이후, 상기

드라이 필름을 제거한 후, 알칼리 약품을 이용한 식각을 진행하여 회로 패턴을 형성한다. 이때, Au/Ni은 알칼리와 반응하지 않기 때문에 식각 레지스트 역할을 하게 된다.

<81> 전술한 과정으로 형성된 패드는 측면 부위에 구리가 노출되며, 특히 상기 드라이 필름이 잔존하는 상태에서 금도금을 진행할 경우, 상기 드라이 필름과 구리의 밀착력이 저하되고 상기 금도금이 상기 드라이 필름 하부로 침입하여 거친 부분(Burr)이 발생하는 형태이다.

<82> 한편, 식각 시에 식각 레지스트로 적용된 재료 상의 차이로 인해 알칼리(Alkali) 및 산(Acid)으로 구분하여 적용하는데, 이로 인한 패드의 형태가 차이가 발생된다.

<83> 따라서, 도 9와 같은 본 발명을 적용할 경우, 동(Cu)이 노출되지 않으며 니켈(Ni)의 침투를 방지할 수 있다. 여기서, 도면부호 51은 솔더 레지스트를 나타내며, 도면부호 54는 Au/Ni 도금층을 나타낸다. 또한, 본 발명에서는 알칼리 식각 용해를 사용하지 않고 산 용해(Acid solution) 방법을 사용하였다. 이때, 니켈(Ni)은 산에서 부식되는 단점이 있기 때문에 알칼리 식각 레지스트로 적용할 수 없다. 즉, 본 발명에서는 벽(Wall) 자체가 Ni/Au로 도금이 되어 있으며, 또한 상기한 거친 부분 등의 잠재적인 단락(Short) 요인이 근본적으로 차단되어 있는 것이다.

<84> 도 10a 및 도 10b는 본 발명에 따른 패키지 기판 상부의 본드 핑거 및 하부의 솔더볼 패드를 나타내는 사진들이며, 본 발명에 따라 제작된 회로의 형태로서 솔더 레지스트 공정 이전의 형태를 각각 예시하는 사진들이다. 즉, 도 10a의 도면부호 55는 본드 핑거를 나타내고, 도 10b의 도면부호 56은 솔더볼 패드를 각각 나타내고 있다.

<85> 결국, 본 발명은 BGA 및 CSP 등의 패키지 기판의 전해 금도금 시에, 도금 인입선 없이 금도금함으로써, 신호 노이즈 발생을 방지함으로써 패키지 기판의 전기적 특성을 향상시킬 수 있다. 또한, 본 발명은 도금 인입선 불필요에 따른 회로 설계 자유도가 향상되며, 볼 패드 피치(Pitch)를 종래의 기술에 따른 볼 패드 피치에 비해 약 0.1~0.15 mm 줄일 수 있으므로 고밀집 회로 제품의 제작할 수 있다.

<86> 본 발명은 특정한 실시예에 관련하여 도시하고 설명하였지만, 이하의 특허청구의 범위에 의해 마련되는 본 발명의 정신이나 분야를 벗어나지 않는 한도 내에서 본 발명이 다양하게 개조 및 변화될 수 있다는 것을 당업자에게 자명하다.

#### 【발명의 효과】

<87> 본 발명에 따르면, 전해 금도금용 인입선 잔류로 인한 신호 노이즈 발생을 방지함으로써 패키지 기판의 전기적 특성을 향상시킬 수 있다.

<88> 또한, 본 발명에 따르면 도금 인입선 불필요에 따른 회로 설계 자유도(유연성)가 향상되며, 고밀집 회로 제품의 제작에 유리하다.

<89> 또한, 본 발명에 따르면 솔더볼 패드의 표면 처리를 금도금으로 진행하여 구리(Cu)가 노출되지 않기 때문에, 패키지 기판의 특성을 향상시킬 수 있다.

**【특허청구범위】****【청구항 1】**

i ) 베이스 기판의 동도금된 비아홀 상부에 제1 드라이필름을 적층하고, 이를 현상하여 노출시키는 단계;

ii ) 상기 제1 드라이필름이 적층된 부분 이외의 부분의 동박을 식각에 의해 제거하여 상기 베이스 기판의 상부 및 하부에 회로를 형성하는 단계;

iii) 상기 제1 드라이필름을 박리하고, 상기 베이스 기판 상의 모든 부위를 무전해 도금하는 단계;

iv ) 제2 드라이필름을 적층 및 현상하여 금도금될 부분을 노출시키는 단계;

v ) 상기 금도금될 부분에 형성되어 있는 상기 무전해 도금된 부분을 식각에 의해 제거하는 단계;

vi ) 상기 금도금될 상부면과 하부면을 금도금하는 단계;

vii) 상기 제2 드라이필름을 박리하고, 잔존하는 무전해 도금된 부분을 식각에 의해 제거하는 단계; 및

viii ) 솔더 레지스트를 도포하여 상기 베이스 기판의 상부 및 하부 회로를 형성하는 단계

를 포함하여 이루어지는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

**【청구항 2】**

제1항에 있어서,

상기 제1 및 제2 드라이필름은 식각 레지스트(etching resist)로 사용된 것을 특징으로 하는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

【청구항 3】

제1항에 있어서,

상기 무전해 도금은 상기 식각 이후 상기 상부 및 하부 회로의 버스라인(bus line)이 완전 제거된 상태에 도체를 화학 도금(chemical plating)해주는 것을 특징으로 하는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

【청구항 4】

제3항에 있어서,

상기 도체는  $0.5 \sim 1.0 \mu\text{m}$ 의 동(Cu)인 것을 특징으로 하는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

【청구항 5】

제1항에 있어서,

상기 식각은 플래시(flash) 식각인 것을 특징으로 하는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

【청구항 6】

제1항에 있어서,

상기 무전해 도금에 의해 형성된 도체가 상기 금도금될 부분의 전해 도금 시에 전류를 흘려주는 도금 인입선 역할을 하는 것을 특징으로 하는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

**【청구항 7】**

제1항에 있어서,

상기 금도금될 상부면은 본드 핑거(bond finger)인 것을 특징으로 하는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

**【청구항 8】**

제1항에 있어서,

상기 금도금될 하부면은 솔더볼 패드(solder ball pad)인 것을 특징으로 하는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

**【청구항 9】**

패키지 기판의 전해 금도금 방법에 있어서,

i ) 베이스 기판의 동도금된 비아홀 상부에 제1 드라이필름을 적층하고, 이를 현상하여 노출시키는 단계;

ii) 상기 제1 드라이필름이 적층된 부분 이외의 부분의 동박을 식각에 의해 제거하여 상기 베이스 기판의 상부 및 하부에 회로를 형성하는 단계;

iii ) 상기 제1 드라이필름을 박리하고, 상기 베이스 기판 상의 모든 부위를 무전해 도금하는 단계;

iv) 제2 드라이필름을 적층 및 현상하여 금도금될 부분을 노출시키는 단계;

v ) 상기 금도금될 부분에 형성되어 있는 상기 무전해 도금된 부분을 식각에 의해 제거하는 단계; 및



vi) 상기 금도금될 상부면과 하부면을 금도금하는 단계

를 포함하여 이루어지는 도금 인입선 없이 패키지 기판을 전해 금도금하는 방법.

【청구항 10】

제9항에 있어서,

상기 무전해 도금은 상기 식각 이후 상기 상부 및 하부 회로의 버스라인(bus line)이 완전 제거된 상태에 도체를 화학 도금(chemical plating)해주는 것을 특징으로 하는 도금 인입선 없이 패키지 기판을 전해 금도금하는 방법.

【청구항 11】

제10항에 있어서,

상기 도체는 0.5~1 $\mu$ m의 동(Cu)인 것을 특징으로 하는 도금 인입선 없이 패키지 기판을 전해 금도금하는 방법.

【청구항 12】

제9항에 있어서,

상기 식각은 플래시 식각인 것을 특징으로 하는 도금 인입선 없이 패키지 기판을 전해 금도금하는 방법.

【청구항 13】

제9항에 있어서,

상기 무전해 도금에 의해 형성된 도체가 상기 금도금될 부분의 전해 도금 시에 전류를 흘려주는 도금 인입선 역할을 하는 것을 특징으로 하는 도금 인입선 없이 패키지 기판을 전해 금도금하는 방법.

## 【청구항 14】

i ) 베이스 기판의 동도금된 비아홀 상부에 제1 드라이필름을 적층하고, 이를 현상하여 노출시키는 단계;

ii ) 상기 제1 드라이필름이 적층된 부분 이외의 부분의 동박을 식각에 의해 제거하여 상기 베이스 기판의 상부 및 하부에 회로를 형성하는 단계;

iii) 상기 제1 드라이필름을 박리하고, 상기 베이스 기판 상의 모든 부위를 무전해 도금하는 단계;

iv ) 제2 드라이필름을 상부면에 적층 및 현상하여, 상기 비아홀 상부를 텐팅(tenting)하는 단계;

v ) 상기 금도금될 부분에 형성되어 있는 상기 무전해 도금된 부분을 식각에 의해 제거하는 단계;

vi ) 금도금될 부위를 노출시키기 위해 제3 드라이필름을 적층하고 이를 현상하고, 금도금을 진행하는 단계;

vii) 상기 하부면의 제1 드라이필름 및 상부면의 제2 드라이필름을 박리하고, 상기 무전해 도금된 부분을 식각에 의해 제거하는 단계;

viii ) 상기 상부 면 및 하부면의 소정 부위에 솔더 레지스트를 도포하여 현상하는 단계; 및

ix) 상기 하부면에 OSP(Organic Solderability Preservative)를 사용하여 표면 처리하는 단계

를 포함하여 이루어지는 도금 인입선 없이 패키지 기판을 전해 금도금하는 방법.

**【청구항 15】**

- a) 다수의 비아홀이 형성되어 있는 베이스 기판;
- b) 상기 베이스 기판 상의 소정 부분과 상기 비아홀 내에 동도금되어 있는 제1 도금층;
- c) 상기 제1 도금층 중 일부를 식각에 의해 제거하여 상기 베이스 기판의 상부 및 하부에 형성되어 있는 회로 패턴;
- d) 상기 베이스 기판 상의 소정 부위에 무전해 도금되어 있는 제2 도금층;
- e) 상기 제2 도금층의 일부가 식각에 의해 제거된 부위에 형성된 금도금층; 및
- f) 상기 금도금층을 제외한 소정 부위에 도포되는 솔더 레지스트를 포함하여 구성되는 도금 인입선 없이 전해 금도금된 패키지 기판.

**【청구항 16】**

제15항에 있어서,

상기 제2 도금층은 상기 상부 및 하부 회로 패턴의 버스라인(bus line)이 완전 제거된 상태에 무전해 화학 도금(chemical plating)으로 도체가 형성된 것을 특징으로 하는 도금 인입선 없이 전해 금도금된 패키지 기판.

**【청구항 17】**

제16항에 있어서,

상기 도체는  $0.5 \sim 1.0 \mu\text{m}$ 의 동(Cu)인 것을 특징으로 하는 도금 인입선 없이 전해 금도금된 패키지 기판.

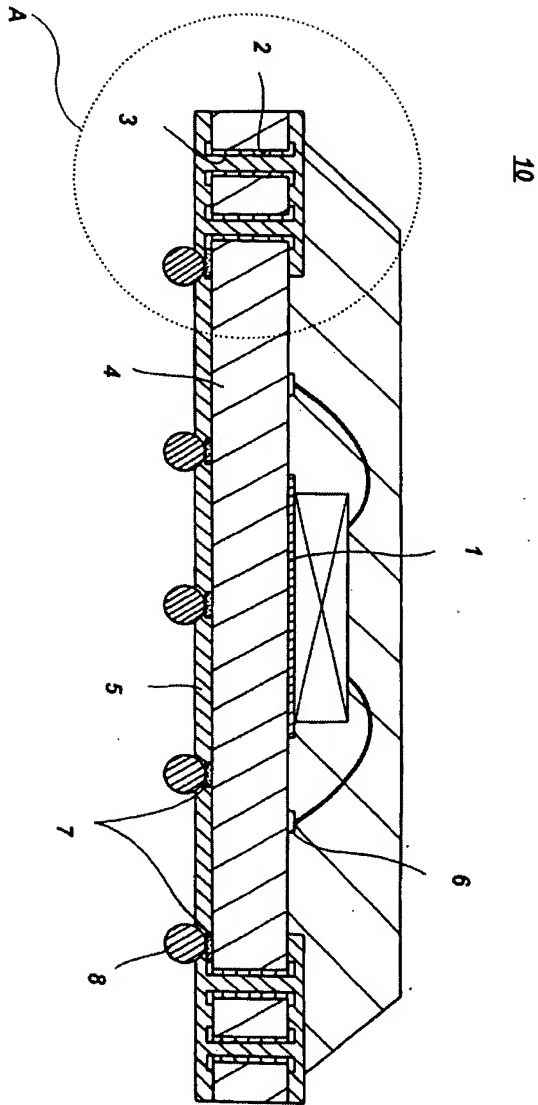
【청구항 18】

제15항에 있어서,

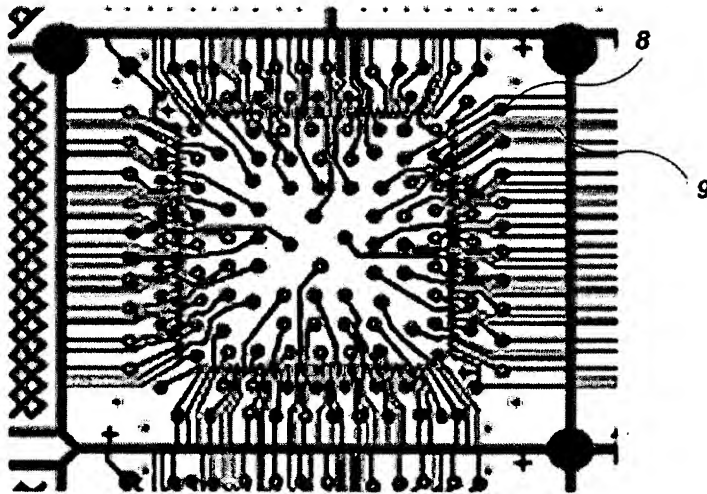
상기 제2 도금층은 상기 금도금층의 전해 도금 시에 전류를 흘려주는 도금 인입선 역할을 하는 것을 특징으로 하는 도금 인입선 없이 전해 금도금된 패키지 기판.

【도면】

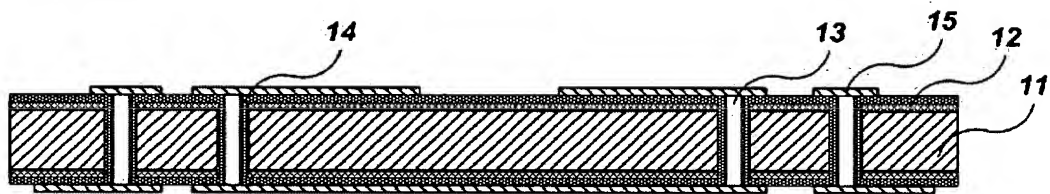
【도 1】



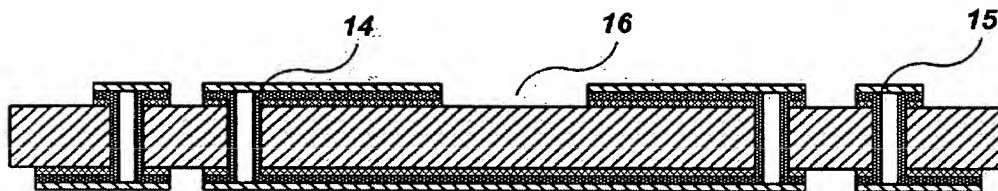
【도 2】



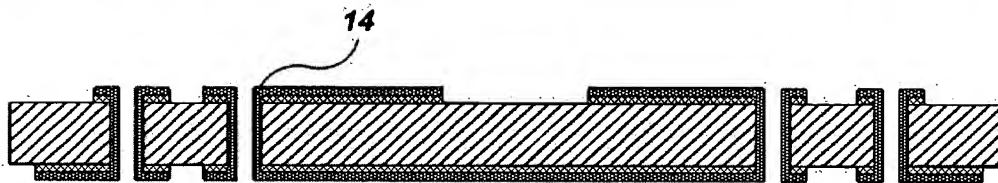
【도 3a】



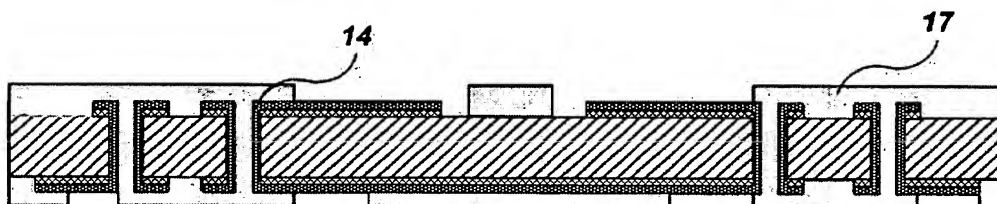
【도 3b】



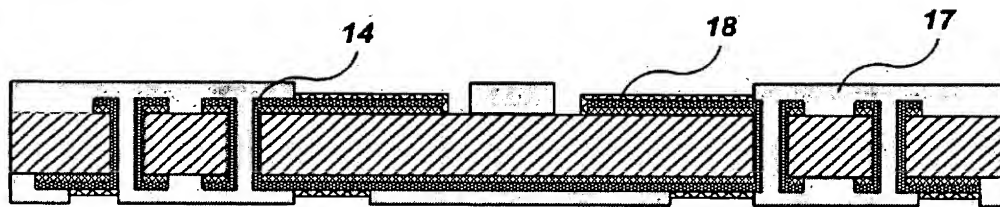
【도 3c】



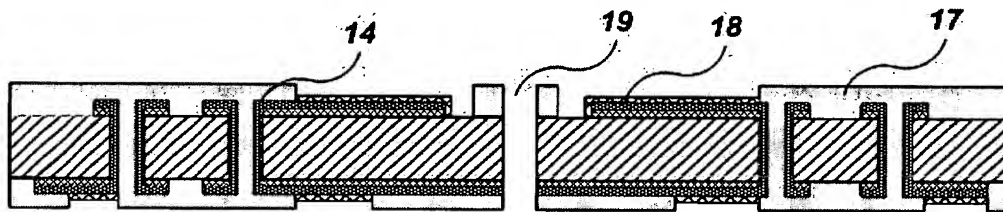
【도 3d】



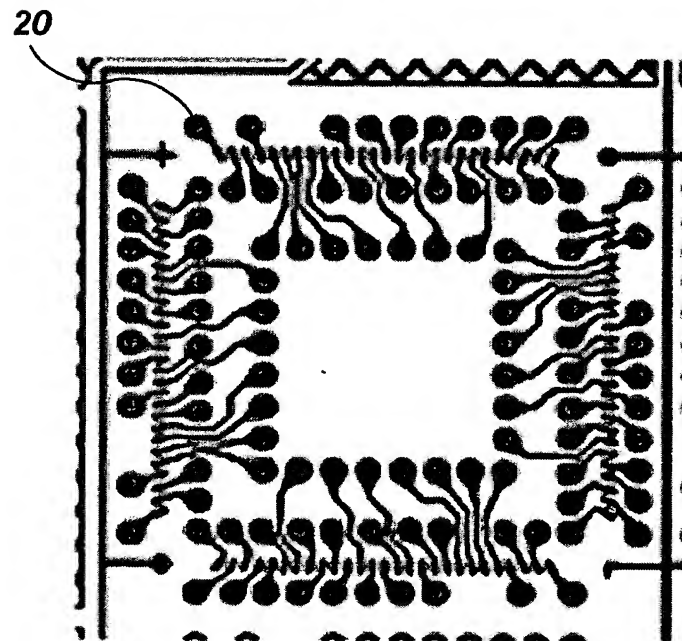
【도 3e】



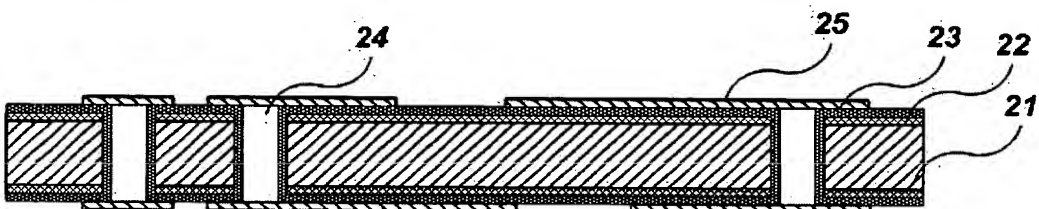
【도 3f】



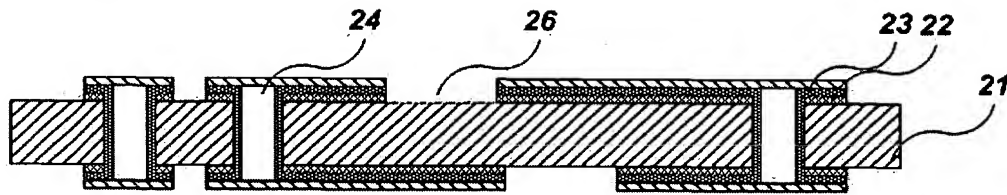
【도 4】



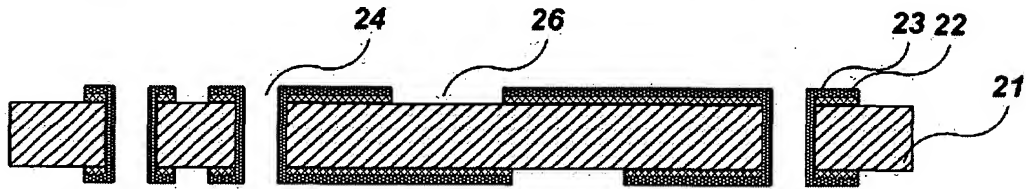
【도 5a】



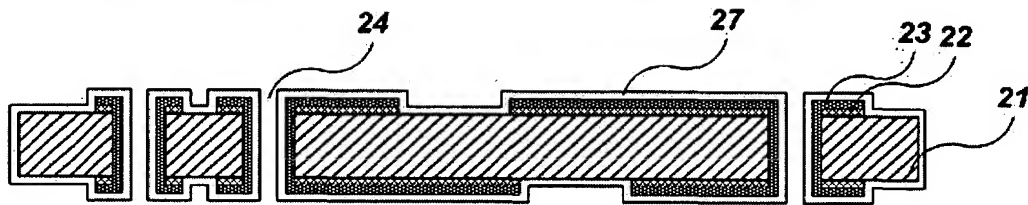
【도 5b】



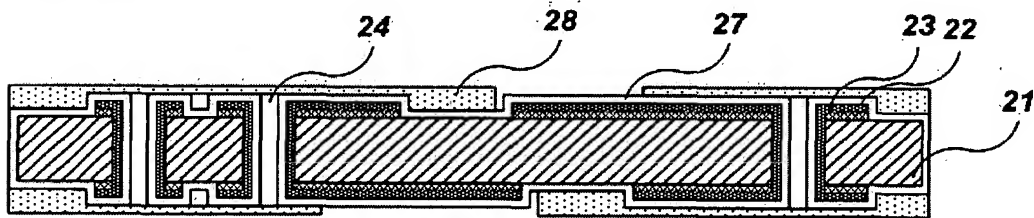
【도 5c】



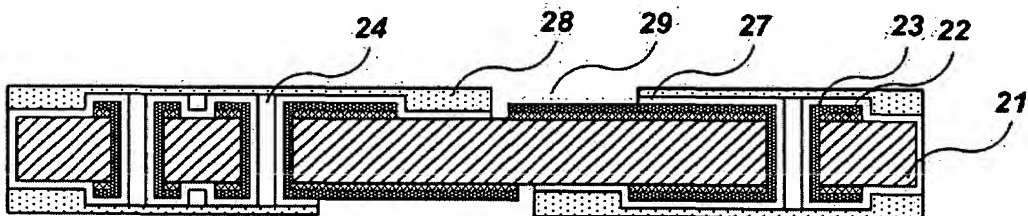
【도 5d】



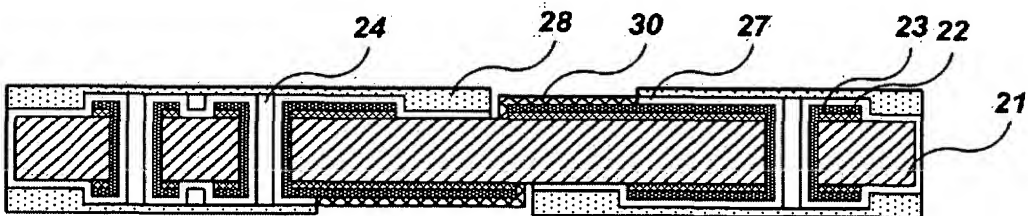
【도 5e】



【도 5f】

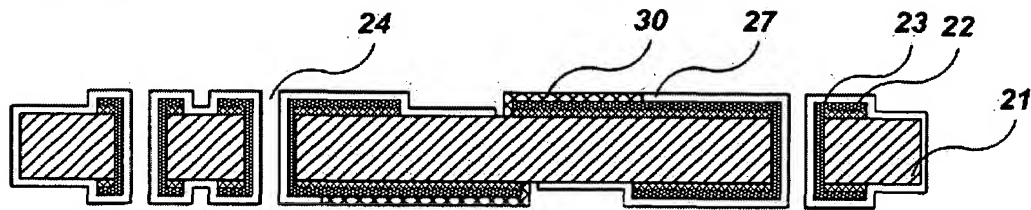


【도 5g】

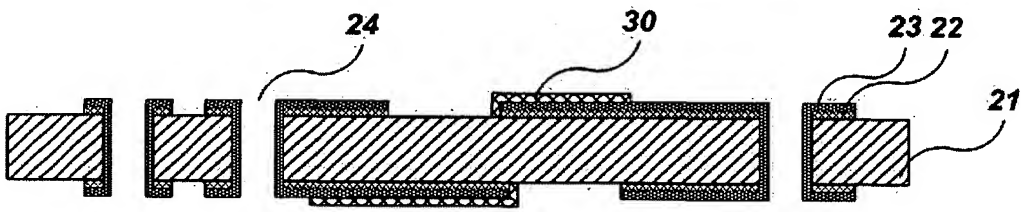




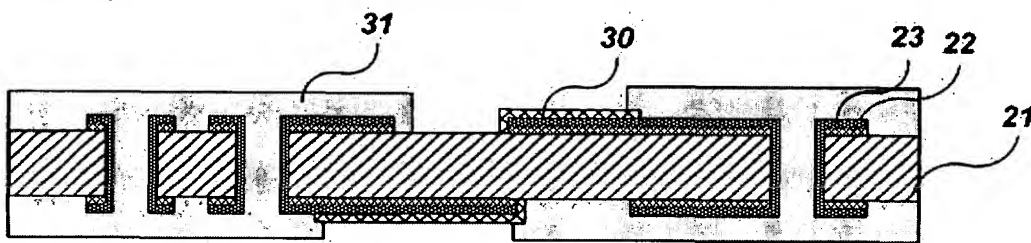
【도 5h】



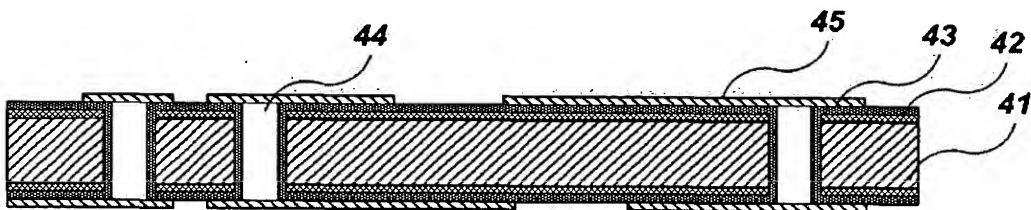
【도 5i】



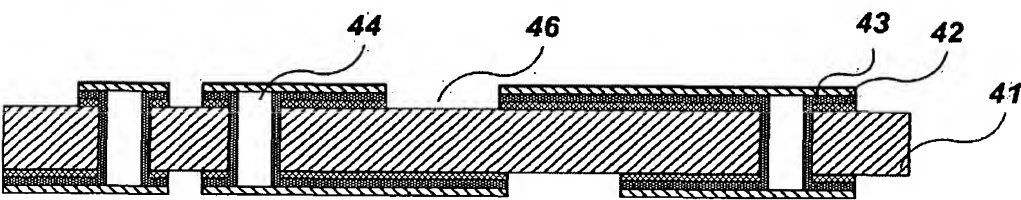
【도 5j】



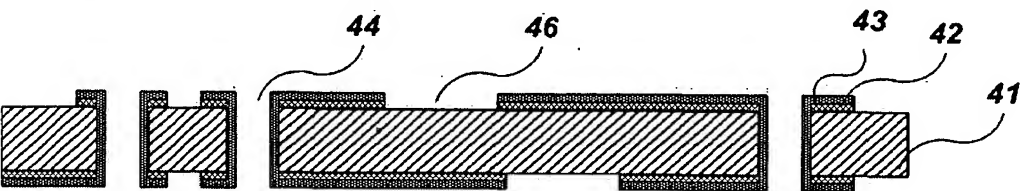
【도 6a】



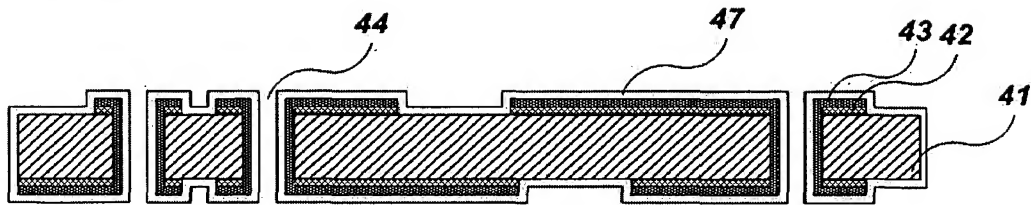
【도 6b】



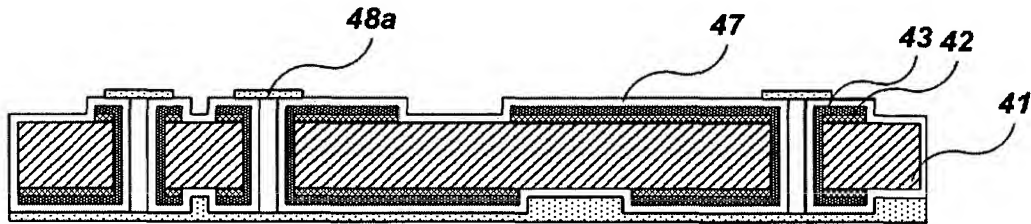
【도 6c】



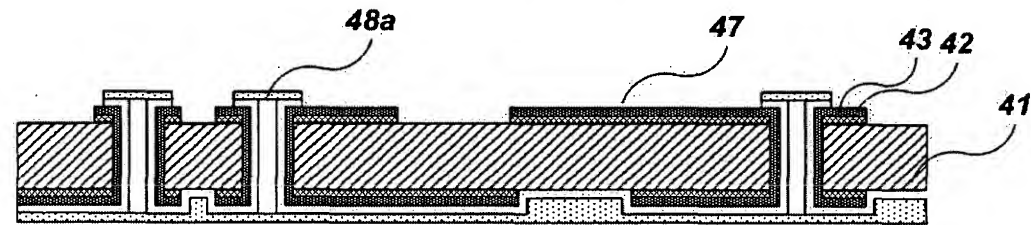
【도 6d】



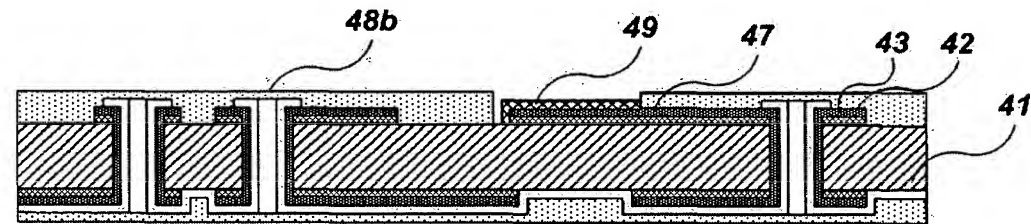
【도 6e】



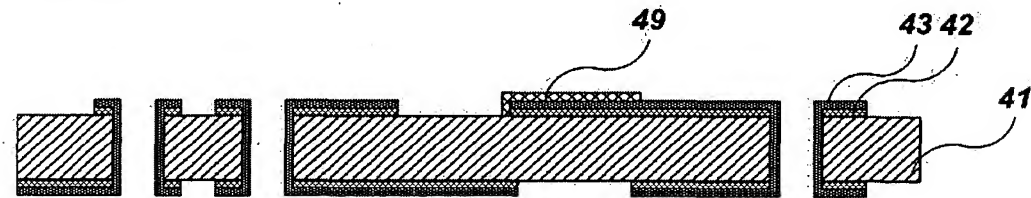
【도 6f】



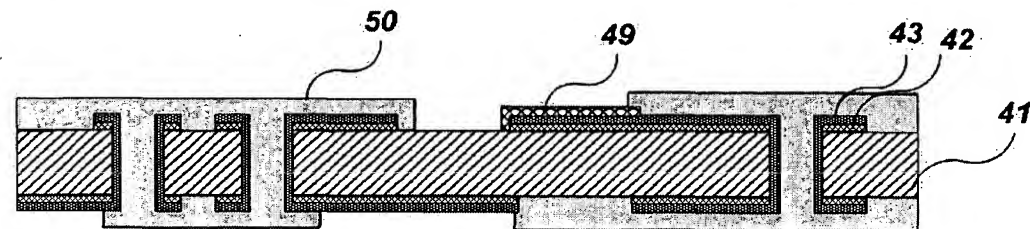
【도 6g】



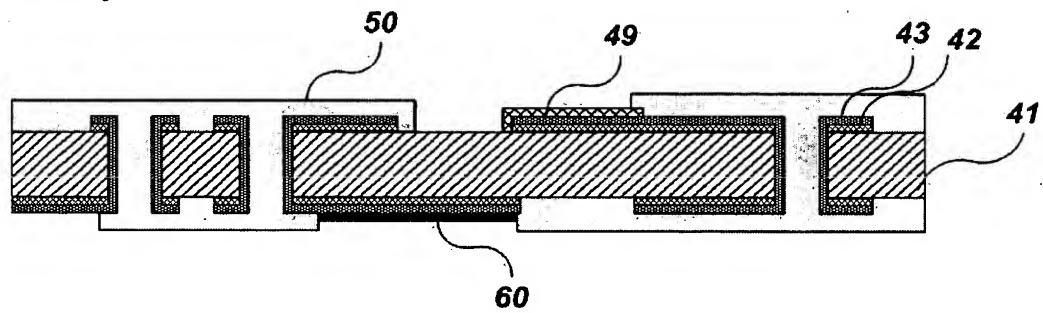
【도 6h】



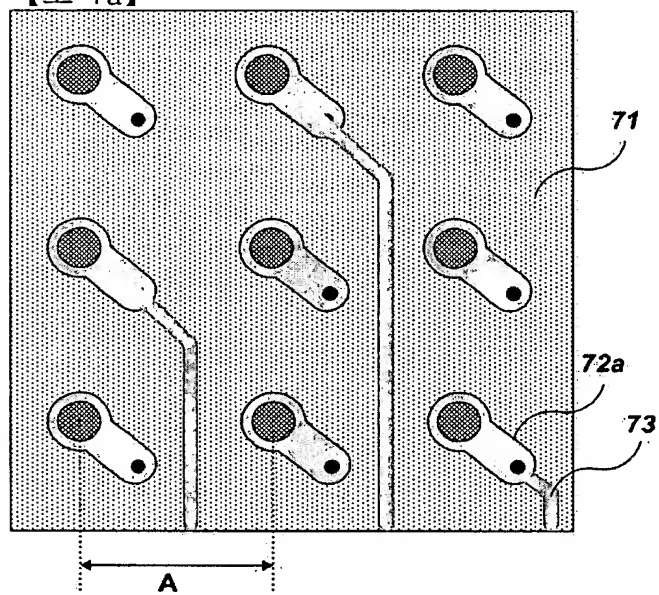
【도 6i】



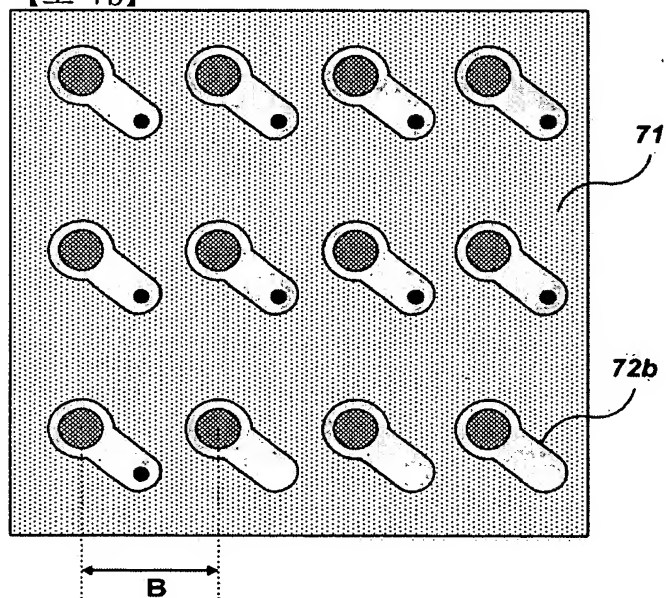
【도 6j】



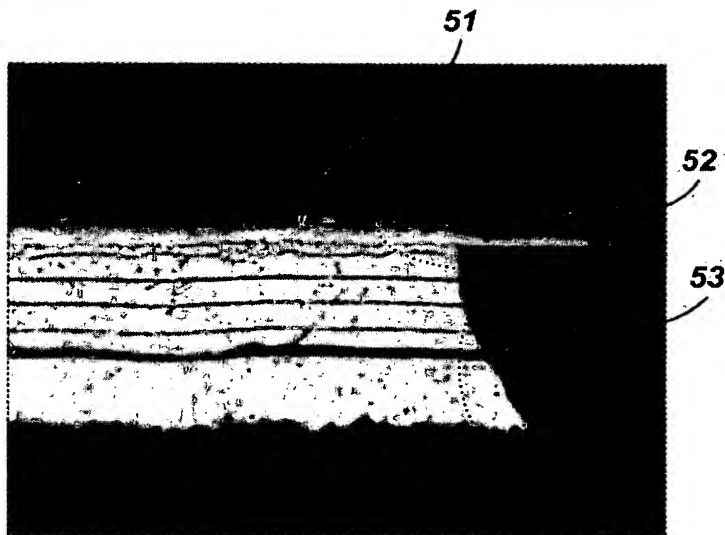
【도 7a】



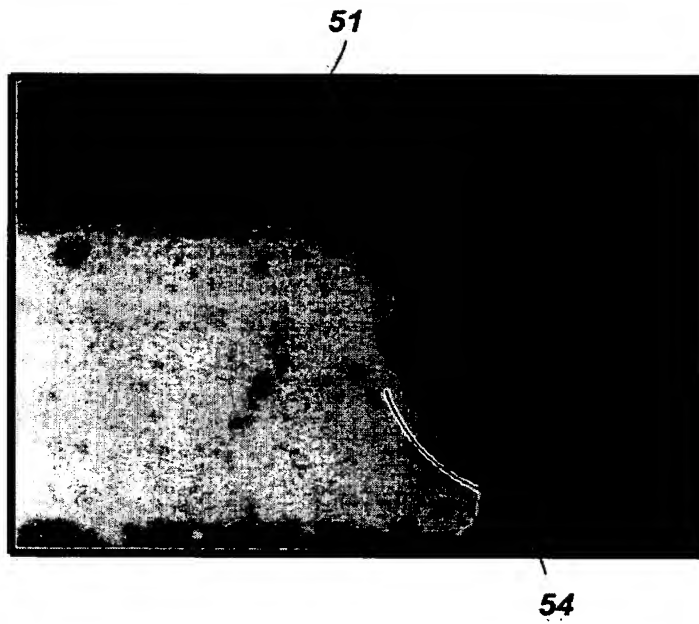
【도 7b】



【도 8】



【도 9】



【도 10a】

55



【도 10b】

56

